

(extract translation)

KIPO (KR)
Patent Application Laid-Open Publication (A)

Publication Date : August 1, 2001 Publication Number : 2001-73287
Filed : January 13, 2000 Application Number : 2000-1547
Applicant LG Electronics Inc.
Title of Invention : Method of Driving Plasma Display Panel

Abstract

This invention relates to a method of driving a PDP in which an addressing discharge period is extended in order to prevent an addressing discharge failure while an addressing period is kept short.

The PDP driving method according to this invention is characterized in during an addressing period, sequentially supplying to scanning/sustaining electrode lines a scanning pulse and an auxiliary scanning pulse which is additionally supplied by being superimposed on the line scanning pulse, and is given a different pulse width according to a logical value of data, and supplying to an addressing electrode a data pulse.

According to this invention an addressing pulse width is adjusted and an auxiliary discharge is generated in an extraneous period during which no addressing discharge is generated, and after that, an addressing discharge is generated. Thus, an addressing discharge is actually extended while the whole addressing period is kept shorter than ever, and thereby an addressing discharge failure is prevented and high-speed driving is realized.

(snip)

Technical Field to Which the Invention Belongs to and Prior Art of the Field

(snip)

In such a subfield driving method, a discharge sustaining period must have sufficient time necessary to produce proper luminance during an image display period. However, with higher resolution or with increased screen size the number of scanning lines of a PDP is increased, and an addressing period is increased. Thus, there arises a problem that the discharge sustaining period is in turn shortened and the luminance is lowered. If addressing electrode lines are divided and multi-addressed, it requires additional number of ICs and boosts up manufacturing cost.

To solve this problem a pulse width for an addressing discharge must be decreased. However, it results in an increased risk of an addressing failure due to an unstable discharge. To prevent such an addressing failure there are two measures to be taken. One is to supply priming particles prior to addressing by adding an auxiliary

BEST AVAILABLE COPY

electrode line. Another is to rearrange and optimize an addressing pulse using a conventional three-electrode structure. The Generation of priming particles by the auxiliary electrode line has demerits of a complicated manufacturing procedure and a difficult driving method. Therefore, it is best to improve an addressing pulse using a conventional three-electrode structure. However, when the number of scanning electrodes are increased, an addressing discharge needs to be generated in an extremely short period of about 1 microsecond per line. It is known that this is impossible for a conventional pulse of 1 microsecond. It is because 1 microsecond is not enough for a sufficient discharge to be generated, and enough wall charges necessary for a sustain discharge cannot be formed on scanning/sustaining electrodes and common sustaining electrodes at the time of an addressing discharge. Furthermore, the state of space charges is different in respective discharge cells, and addressing becomes unstable due to the influence of adjacent cells. Thus, a sufficient discharge is not generated in 1 microsecond or less, and therefore a method needs to be devised in which an addressing period is shortened while discharge period is maintained in 1 microsecond or more at the time of addressing discharge.

Technical Problem to be Solved by the Invention

Accordingly, an object of the present invention is to provide a method for driving a PDP in which addressing discharge period is extended in order to prevent a addressing discharge failure while addressing period is kept short.

(snip)

What is Claimed is:

Claim 1

A method for driving a plasma display panel including a plurality of scanning/sustaining electrode lines and a plurality of addressing electrode lines for an addressing discharge comprising:

during an addressing period, sequentially supplying to the scanning/sustaining electrode lines a scanning pulse and an auxiliary scanning pulse which is additionally supplied by being superimposed on the scanning pulse, and is given a different pulse width according to a logical value of data, and supplying to the addressing electrodes a data pulse.

(snip)

특 2001-0073287

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G09G 3/28(11) 공개번호 특2001-0073287
(43) 공개일자 2001년08월01일

(21) 출원번호	10-2000-0001547
(22) 출원일자	2000년01월13일
(71) 출원인	엘지전자주식회사 구자홍
(72) 발명자	서울시영등포구여의도동20번지 유준영
(74) 대리인	서울특별시서대문구홍은3동202-5현대마파트102-1101 김영호

심사청구 : 있음

(54) 플라스마 디스플레이 패널의 구동방법

요약

본 발명은 어드레스시간을 짧게 유지하면서 어드레스방전 실패가 발생하지 않도록 어드레스방전시간을 길게 할 수 있는 PDP의 구동방법에 관한 것이다.

본 발명의 PDP 구동방법은 어드레스기간동안, 주사/유지 전극라인들에 순차적으로 주사펄스와 이전라인 주사펄스와 중첩되는 보조주사펄스를 상기 주사펄스에 부가하여 공급하고, 데이터의 논리값에 따라 펄스 폭을 달리하여 어드레스전극들에 데이터펄스를 공급하는 것을 특징으로 한다.

본 발명에 의하면, 어드레스펄스 폭을 조절하여 어드레스방전이 발생하지 않은 불요시간에서 보조방전을 발생시킨 후 어드레스방전을 하게되므로 전체적인 어드레스시간은 기존보다 짧게 하면서 실제 어드레스방전기간은 늘려주어 어드레스 실패를 방지함과 아울러 고속 구동이 가능하게 된다.

도면

도5

공제서

도면의 간단한 설명

- 도 1은 종래의 3전극 교류 면방전 플라스마 디스플레이 패널의 방전셀 구조를 도시한 사시도.
 도 2는 도 1에 도시된 방전셀들을 포함하는 플라스마 디스플레이 패널의 전체적인 전극배치도.
 도 3은 통상의 서브필드 구동방법을 설명하기 위한 한 프레임 구성도.
 도 4는 종래의 플라스마 디스플레이 패널 구동방법에서의 구동파형도.
 도 5는 본 발명의 실시예에 따른 플라스마 디스플레이 패널 구동방법에서의 어드레스 구동파형도.
 도 6은 본 발명의 다른 실시예에 따른 플라스마 디스플레이 패널 구동방법에서의 어드레스 구동파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기관	12V : 주사/유지 전극
12Z : 공통 유지전극	14 : 상부 유전층
16 : 보호막	18 : 하부기관
20X : 어드레스전극	22 : 하부 유전층
24 : 격벽	26 : 형광체
1 : 방전셀	

본 발명의 상세한 설명

발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동 방법에 관한 것으로, 특히 고속 구동을 가능하게 하는 플라즈마 디스플레이 패널의 구동 방법에 관한 것이다.

최근, 평판 디스플레이 장치로서 대형패널의 제작이 용이한 플라즈마 디스플레이 패널(이하 'PDP'라 함)이 주목받고 있다. PDP로는 도 1에 도시된 바와 같이 3전극을 구비하고 교류전압에 의해 구동되는 3전극 교류 면방전형 PDP가 대표적이다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사/유지 전극(12V) 및 공통유지전극(12Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다. 주사/유지 전극(12V)과 공통유지전극(12Z)이 나란하게 형성된 상부기판(10)에는 상부 유전층(14)과 보호막(16)이 적층된다. 상부 유전층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높여준다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전층(22), 격벽(24)이 형성되며, 하부 유전층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 주사/유지전극(12V) 및 공통유지전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체(26)는 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하판과 격벽 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

이러한 방전셀은 도 2에 도시된 바와 같이 매트릭스로 형태로 배치된다. 도 2에서 방전셀(1)은 주사/유지 전극라인(V1 내지 Vm), 공통 유지 전극라인(Z) 및 어드레스 전극라인(X1 내지 Xn)의 교차부에 마련된다. 주사/유지 전극라인(V1 내지 Vm)은 순차적으로 구동되고, 공통 유지 전극라인(Z)은 공통적으로 구동된다. 어드레스 전극라인들(X1 내지 Xn)은 기수번째 라인들과 우수번째 라인들로 분할되어 구동된다.

이러한 3전극 교류 면방전형 PDP는 다수개의 서브필드로 분리되어 구동되고, 각 서브필드기간에는 비디오 데이터의 가중치에 비례시킨 회수의 발광이 진행됨으로써 계조표시가 행해지게 된다. 실제로, 8비트의 비디오 데이터를 이용하여 256 계조로 화상이 표시되는 경우 각 방전셀(1)에서의 1 프레임 표시 기간(예를 들면, 1/60초 약 16.7msec)은 도 3에 도시된 바와 같이 8개의 서브 필드(SF1 내지 SF8)로 분할하게 된다. 각 서브 필드(SF1 내지 SF8)는 다시 리셋 기간, 어드레스 기간 및 유지기간으로 분할하고, 그 유지기간에 1:2:4:8:....:128의 비율로 가중치를 부여하게 된다. 여기서, 리셋기간은 방전셀을 초기화하는 기간이고, 어드레스기간은 비디오데이터의 논리값에 따라 선택적인 어드레스방전이 발생하게 하는 기간이며, 유지기간은 상기 어드레스방전이 발생된 방전셀에서 방전이 유지되게 하는 기간이다. 리셋 기간과 어드레스기간은 각 서브필드 기간에 동일하게 할당된다.

도 4를 참조하면, 종래의 PDP 구동방법에 따라 임의의 서브필드 기간동안 도 2에 도시된 PDP에 공급되는 구동파형도가 도시되어 있다. 우선, 도시하지 않은 리셋기간에서 모든 방전셀들에서 방전이 발생되게 함으로써 모든 방전셀들을 초기화하게 된다. 이러한 리셋기간에 이어 어드레스기간에서는 주사/유지 전극라인들(V1 내지 Vm)에 순차적으로 주사펄스(SP)를 공급함과 아울러 그 주사펄스(SP)에 동기되는 데이터 펄스(OP) 어드레스전극라인들(X1 내지 Xn)에 공급함으로써 선택적인 어드레스방전이 발생되게 한다. 여기서, 방전유지기간에서 주사/유지 전극라인들(V1 내지 Vm)과 공통유지 전극라인들(Z1 내지 Zm)에 교번적으로 유지펄스(SUSP₁, SUSP₂)를 교번적으로 공급함으로써 상기 어드레스방전이 발생된 방전셀들에서 방전이 소정의 기간동안 유지되게 한다.

이러한 서브필드 구동방법에서 방전유지기간은 화상을 표시하는 기간으로 적절한 휘도를 내기 위해서는 어느 정도의 시간을 확보하여야 한다. 그런데, 고해상도가 되거나 화면의 크기가 증가하게 되면 PDP의 주사라인 수가 증가하게 된다. 이에 따라, 어드레스기간이 증가하게 되므로 자연히 방전유지기간이 짧아지게 되어 휘도가 낮아지는 문제가 발생하게 된다. 이로 인하여, 어드레스 전극라인들 분할하여 멀티-어드레스를 하는 경우에는 그 만큼 구동 IC가 추가되어 제조원가가 증가하게 된다.

이러한 문제점을 해결하기 위해서는 어드레스방전을 위한 펄스폭을 줄여야하나 펄스폭을 줄이는 경우 방전이 불안정하게 되어 어드레스 실패확률이 증가하게 된다. 이러한 어드레스 실패를 없애기 위해서는 보조 전극라인들을 추가하여 어드레스전에 프라이밍 입자를 제공해주는 방법과 기존의 3전극 구조에서 어드레스 펄스의 재구성 및 최적화에 의한 방법이 고려될 수 있다. 그러나, 보조전극라인에 의한 프라이밍 입자의 생성은 패널의 제작공정이 복잡해지고 구동이 어려운 단점이 있다. 따라서, 기존의 3전극 구조에서 어드레스 펄스폭 개선하는 방법이 최선의 방법이라고 할 수 있다. 그러나, 주사라인 수가 증가하게 되면 라인당 1μs 정도의 매우 짧은 기간동안 어드레스 방전이 발생하여야 하는데 종래의 1μs 펄스로는 어드레스가 불가능하다고 알려져 있다. 이는 1μs 동안에는 방전이 충분히 성숙되지 못하고 끝나기 때문에 어드레스방전시 방전유지에 필요한 충분한 벽전하를 주사/유지 전극 및 공통유지 전극 상에 형성하지 못하기 때문이다. 또한, 방전셀마다 공간전하의 상태가 다르고 인접 셀에 의한 영향에 의해 어드레스가 불안정해진다. 이와 같이, 1μs 이하에서는 방전이 제대로 이루어지지 않으므로 어드레스 방전시 방전시간을 1μs 이상으로 유지하면서 어드레스기간을 단축시킬 수 있는 방법이 필요하다.

본 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 어드레스시간은 짧게 유지하면서 어드레스방전 실패가 발생하지 않도록 어드레스방전시간을 길게 할 수 있는 PDP의 구동방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 PDP 구동방법은 어드레스기간동안, 주사/유지 전극라인들에 순차적으로 주사펄스와 이진라인 주사펄스와 중첩되는 보조주사펄스를 상기 주사펄스에 부가하여 공급하고, 데이터의 논리값에 따라 펄스폭을 달리하여 어드레스전극들에 데이터펄스를 공급하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예를 도 5 및 도 6을 참조하여 상세히 설명하기로 한다.

도 5는 본 발명의 실시예에 따른 PDP 구동방법에서의 어드레스방전을 위한 어드레스펄스가 도시되어 있다. 도 5에서 어드레스 전극라인(X_n, X_{n+1}, X_{n+2})에 공급되는 데이터펄스는 데이터의 논리값에 따라 펄스폭이 달라지게 된다. 다시 말하여, 어드레스 전극라인(X_n, X_{n+1}, X_{n+2})에는 데이터의 논리값이 '1'인 경우 종래보다 작은 폭(T_d) 예를 들면, $1\mu s$ 정도의 폭을 가지는 메인 데이터펄스(MDP)를 인가하고, 데이터의 논리값이 '0'인 경우 종래와는 달리 미세폭(T_{ad})을 가지는 보조 데이터펄스(ADP)를 인가하게 된다. 그리고, 주사 전극라인($Y_m, Y_{m+1}, Y_{m+2}, Y_{m+3}$)에는 메인 데이터펄스(MDP)에 대응되는 메인 주사펄스(MSP)와 그 메인 주사펄스(MSP)에 선행하여 상기 보조 데이터펄스(ADP) 폭(T_{ad})에 대응되는 보조 주사펄스(ASP)가 더해진 주사펄스를 인가하게 된다. 다시 말하여, 종래의 주사펄스는 데이터펄스와 동기되어 동일한 펄스폭을 가지는 형태로 인가되었으나 본 발명에서는 메인 데이터펄스(MDP)가 인가되는 시점보다 조금 앞선 시점, 즉 보조 데이터 펄스(ADP)의 폭(T_{ad})만큼 앞선 시점에서 주사펄스를 인가하게 된다. 이에 따라, 주사 전극라인들($Y_m, Y_{m+1}, Y_{m+2}, Y_{m+3}$)에 라인순차적으로 공급되는 주사펄스는 이전 주사펄스와 보조 주사펄스(ASP)의 폭(T_{as})만큼씩 중첩되게 인가된다. 여기서, 보조데이터펄스(ADP)와 보조주사펄스(ASP)는 정상적인 어드레스 방전은 발생시키지 않으면서 짧은 시간동안 프라이밍 입자를 공급해주는 역할을 하도록 한다. 상세히 하면, 메인 데이터펄스(ADP)가 공급되는 방전셀에서는 이전라인 주사시간에 공급되었던 메인 데이터펄스(MDP) 또는 보조 데이터펄스(ADP)와 보조주사펄스(ASP)가 중첩된 부분에서 보조방전이 발생된 후, 현재라인 주사시간에 공급되었던 메인 데이터펄스(MDP) 메인 주사펄스(MSP)가 중첩된 부분에서 정상적인 어드레스방전이 발생하게 된다. 결과적으로, 메인 데이터펄스(MDP)가 공급되는 방전셀에서 어드레스방전은 도 5의 A_{as} 와 같이 $T_{as}+T_s$ 시간동안 방전이 일어나게 되어 어드레스 방전시간을 늘려준 효과가 발생하게 된다. 그리고, 보조 데이터펄스(ADP)가 공급되는 방전셀에서는 도 5의 B_{as} 와 같이 이전라인 주사시간에 공급되었던 메인 데이터펄스(MDP) 또는 보조 데이터펄스(ADP)와 보조 주사펄스(ASP)가 중첩된 부분에서 보조방전이 발생함과 아울러 현재라인 주사시간에 공급된 보조 데이터펄스(ADP)와 메인 주사펄스(MSP)가 중첩된 부분에서 보조방전이 발생하게 된다. 그러나, 이 보조방전기간은 정상적인 어드레스방전, 즉 오방전이 발생하지 않을 정도로 짧게 한다.

또한, 보조 방전의 크기를 작게하기 위하여 도 6에 도시된 바와 같이 보조방전을 위한 보조주사펄스(ASP)의 전압(V_{as})을 정상적인 어드레스방전을 위한 메인 주사펄스(MSP)의 전압(V_s) 보다 작게 인가할 수도 있다.

이와같이, 본 발명의 PDP 구동방법에서는 데이터의 논리값에 따라 데이터펄스의 폭을 조절함과 아울러 순차 주사펄스를 소정의 시간만큼씩 중첩되게 공급하게 된다. 이에 따라, 어드레스기간에서 방전이 발생하지 않은 불요시간에서 오방전이 발생하지 않을 정도의 보조방전을 발생시킨 후 그 보조방전에서 발생된 프라이밍입자들을 이용하여 어드레스방전을 하게되므로 전체적인 어드레스시간은 기존보다 짧게 하면서 실제 어드레스방전기간은 늘려줄 수 있게 된다. 이에 따라, 어드레스펄스를 종래보다 짧게 인가할 수 있으므로 고속 구동이 가능함과 아울러 각 방전셀에서 어드레스시간 부족에 의한 어드레스 실패를 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 PDP 구동방법에서는 어드레스펄스 폭을 조절하여 어드레스방전이 발생하지 않은 불요시간에서 보조방전을 발생시킨 후 어드레스방전을 하게되므로 전체적인 어드레스시간은 기존보다 짧게 하면서 실제 어드레스방전기간은 늘려주어 어드레스 실패를 방지함과 아울러 고속 구동이 가능하게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1

어드레스방전을 위한 다수의 주사/유지 전극라인들과 다수의 어드레스 전극라인들을 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

어드레스기간동안, 상기 주사/유지 전극라인들에 순차적으로 주사펄스와 이진라인 주사펄스와 중첩되는 보조주사펄스를 상기 주사펄스에 부가하여 공급하고, 데이터의 논리값에 따라 펄스폭을 달리하여 상기 어드레스전극들에 데이터펄스를 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 2

특 2001-0073287

제 1 항에 있어서,

상기 데이터의 논리값이 하이논리인 경우 상기 주사펄스와 대응하는 데이터펄스를 공급하고,

상기 데이터의 논리값이 로우논리인 경우 상기 보조주사펄스에 대응하는 보조데이터펄스를 공급하는 것을 특징으로 하는 플라스마 디스플레이 패널의 구동방법.

청구항 3

제 2 항에 있어서,

상기 플라스마 디스플레이 패널에 포함되는 임의의 방전셀에 상기 데이터펄스가 공급되는 경우 이전라인 주사시간에 공급되었던 데이터펄스 및 보조데이터펄스 중 어느 하나와 그에 중첩되는 보조주사펄스에 의해 미약한 보조방전이 발생하고,

상기 보조방전을 이용하여 현재라인 주사시간에 공급되었던 데이터펄스와 그에 중첩되는 주사펄스에 의해 어드레스방전이 발생하는 것을 특징으로 하는 플라스마 디스플레이 패널의 구동방법.

청구항 4

제 2 항에 있어서,

상기 플라스마 디스플레이 패널에 포함되는 임의의 방전셀에 상기 보조데이터펄스가 공급되는 경우 이전라인 주사시간에 공급되었던 데이터펄스 및 보조데이터펄스 중 어느 하나와 그에 중첩되는 보조주사펄스에 의해 미약한 보조방전이 발생하고,

상기 보조방전을 이용하여 현재라인 주사시간에 공급되었던 보조 데이터펄스와 그에 중첩되는 주사펄스에 의해 미약한 보조방전이 발생하는 것을 특징으로 하는 플라스마 디스플레이 패널의 구동방법.

청구항 5

제 1 항에 있어서,

상기 보조주사펄스의 전압은 상기 주사펄스의 전압보다 작은 것을 특징으로 하는 플라스마 디스플레이 패널의 구동방법.

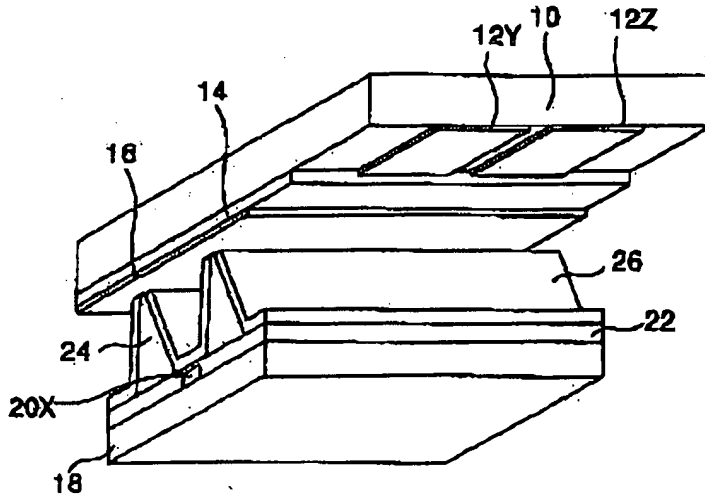
청구항 6

제 1 항에 있어서,

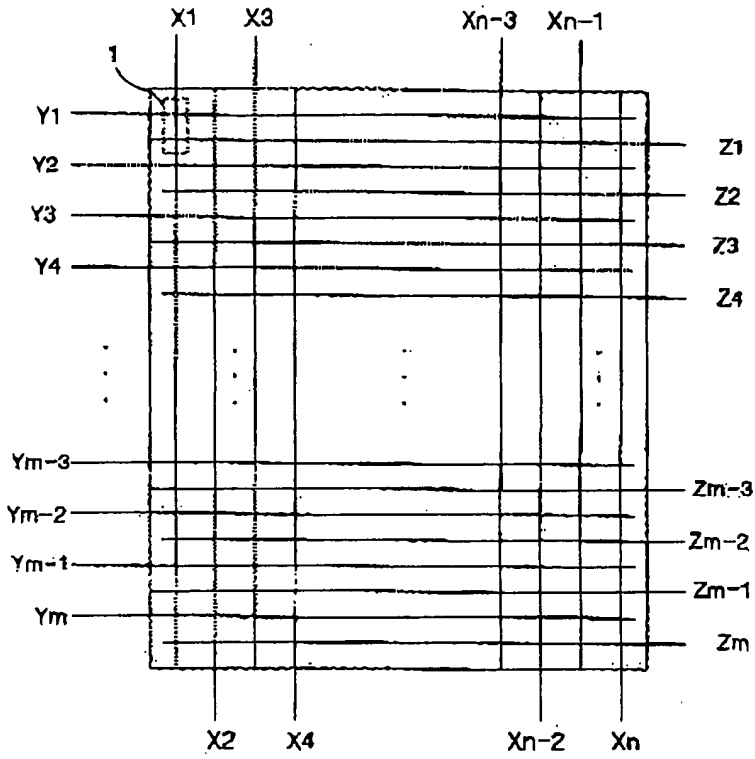
상기 주사펄스의 폭은 $1\mu s$ 이하인 것을 특징으로 하는 플라스마 디스플레이 패널의 구동방법.

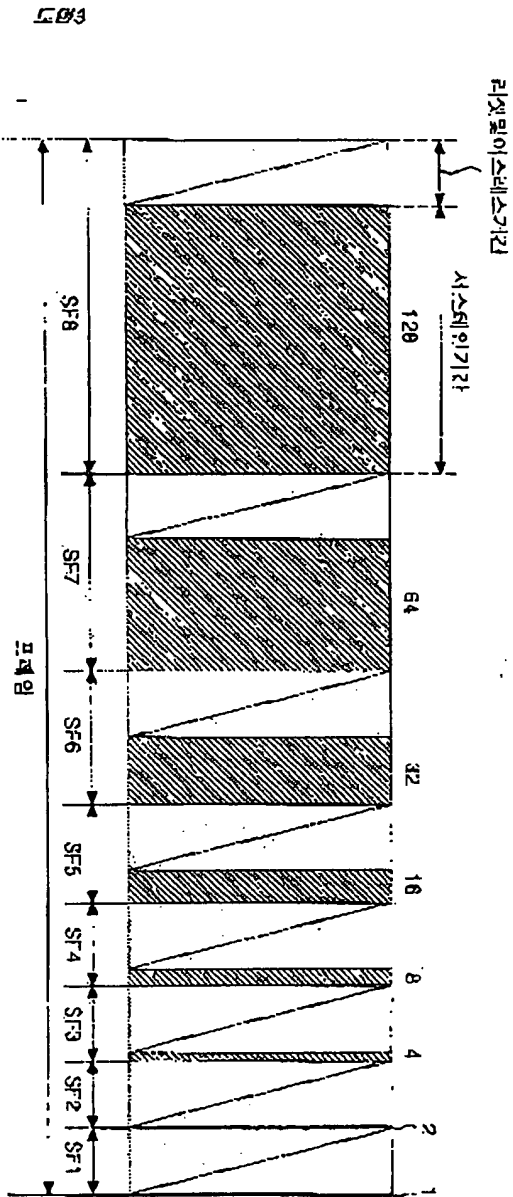
도면

도면1

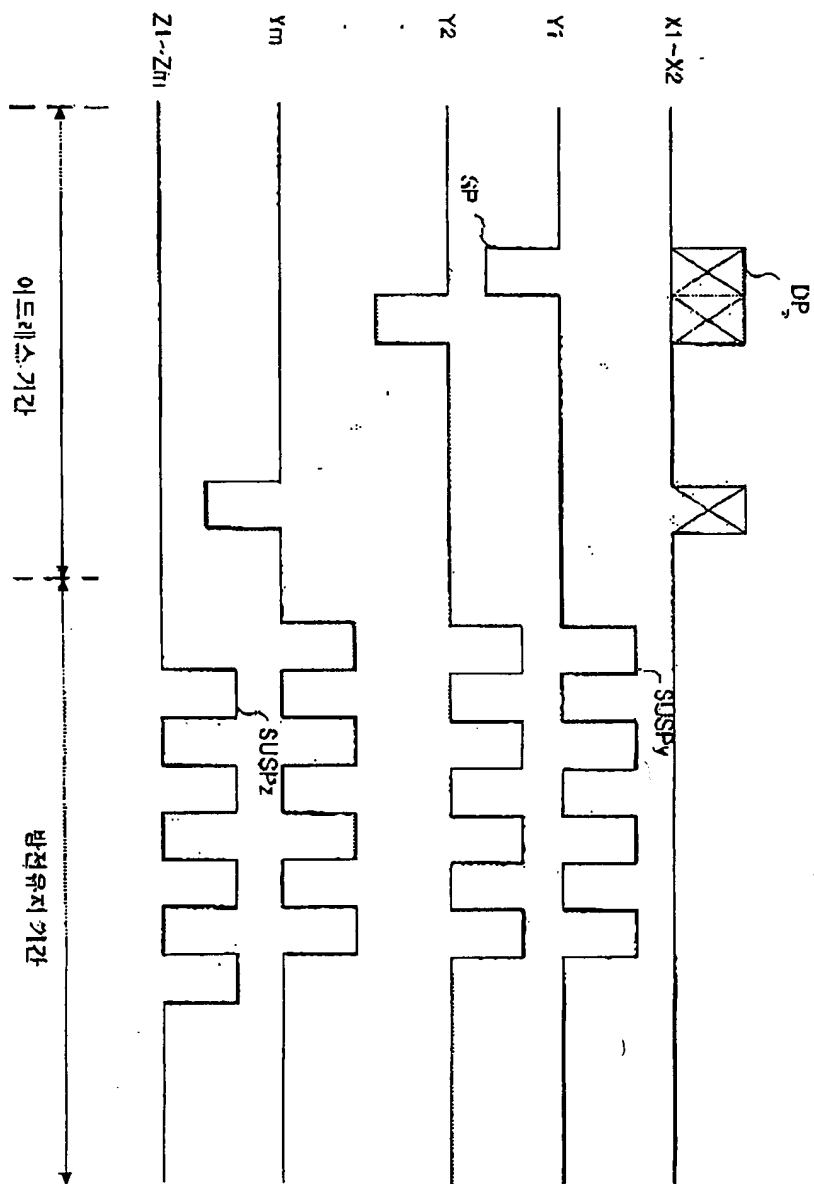


도 2

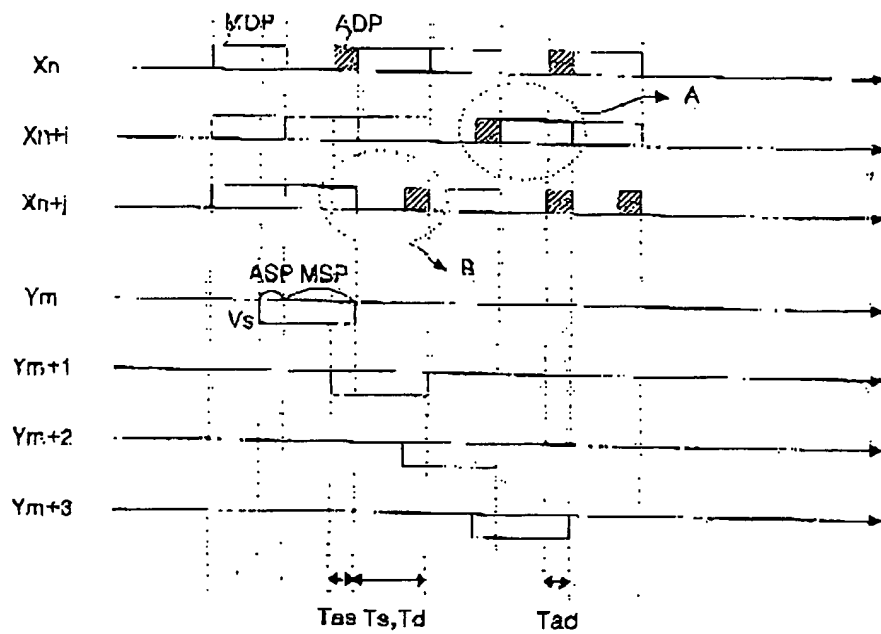




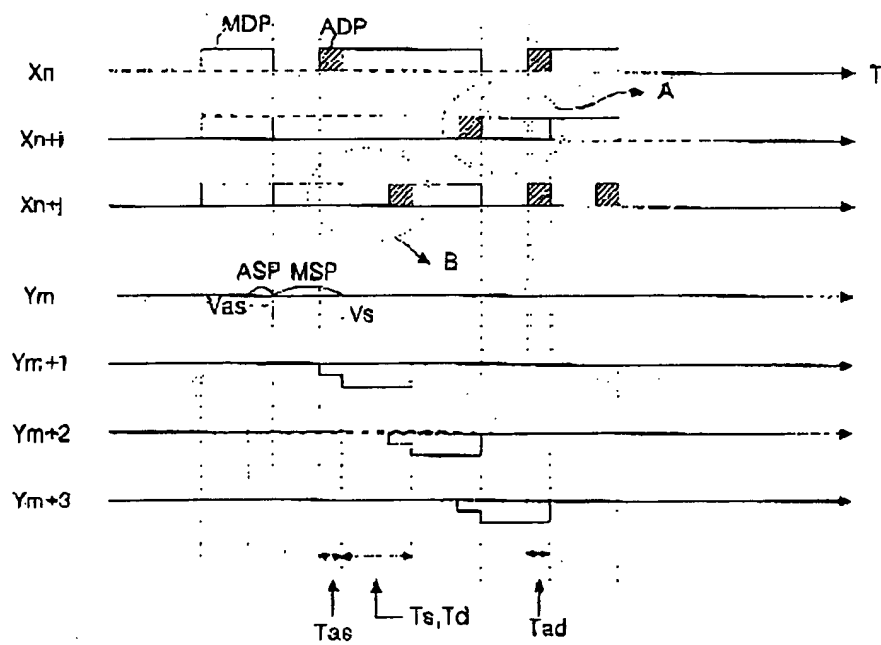
도면4



도 8a



도 8b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.